

Q, ω_0 可変可能な電圧モードバイカッドフィルタの実現

重 広 孝 則*・田 村 康 児*

(平成14年9月11日受理)

Voltage-Mode Biquad Filter with Controllable Q, ω_0

Takanori SHIGEHIRO and Koji TAMURA

(Received Sep. 11, 2002)

Abstract

In this paper, we realize a high frequency Biquad circuit by using MOSFET with all the source terminals grounded, and we propose a voltage-mode Biquad filter with one input and three outputs whose Q, ω_0 are controllable by ten times. This circuit can be made to have a low power-supply voltage, therefore, we do not have to consider the influence of the substrate effect transmission conductance because all the source terminals of the circuit are grounded by the composition of a double MOSFET. Moreover, Q, ω_0 allow us to obtain a range about ten times changeable adjusting the DC voltage bias.

Key Words: バイカッドフィルタ, MOSFET, 積分器, 低電源電圧, 電圧可変,
(Biquad Filter, MOSFET, Integrator, Low DC Supply Voltage, Voltage Variable)

1. ま え が き

MOSFET を用いた2次伝送関数の実現については、カレントミラーを用いた方法や、カスコード回路を用いた方法など^{1)~3)}が報告されている。これらの回路は、3段積み以上の構成、電源電圧が2V以上、直流バイアスによる Q, ω_0 の可変範囲が2~3倍となっている。集積化において、 Q, ω_0 が直流バイアスのみで可変できれば利便性は高くなるが、10倍以上の変化を求めることには難がある。そこで筆者らは、状態変数回路から導かれる原形バイカッド回路に注目し、ソース端子をすべて接地させたMOSFETを用い、2段積みの回路構成を実現し、バイアス電圧を調整することにより Q, ω_0 を約10倍調整できるバイカッド回路を提案した⁴⁾。この回路は、一つの回路で2次のLPF, BPF特性が得られ、2段積み、且つソース端子がすべて接地した回路であるため、低電源電圧化が可能であり、基板効果伝達コンダクタンスの影響を無視できるといった利点を有する。本文では、このバイカッド回路をメインブロックとし、サブブロックとして位相反転形の加算器を付

加することでさらにHPF特性が得られることを示し、1入力3出力の電圧モードバイカッドフィルタを提案する。本回路は、低電源電圧化が可能、基板効果伝達コンダクタンスの影響を無視できる、 Q, ω_0 の可変範囲が約10倍である、といった先のバイカッドフィルタの特徴を受け継いでおり、PSpiceによる動作確認も良好な結果が得られた。

2. 基 本 原 理

状態変数回路を変形することによってバイカッド回路が得られることは広く知られている。このバイカッド回路のブロック図を図1に示す。

図1の回路方程式は次式で与えられる。

$$V_2 = -\frac{hV_1 + bV_3}{sT_1 + a} \quad (1)$$

$$V_x = -\frac{V_2}{sT_2} \quad (2)$$

$$V_3 = -V_x \quad (3)$$

$$V_4 = -(mV_1 + cV_2 + dV_3) \quad (4)$$

* 広島工業大学工学部電子・光システム工学科

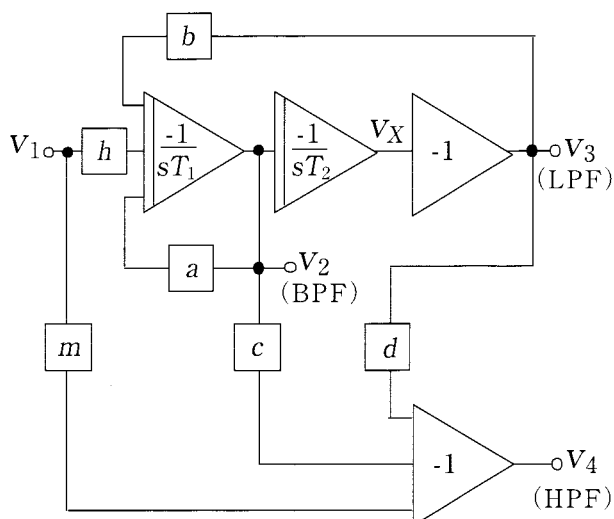


図1 バイカッド回路のブロック図

式(1)は反転1次遅れ回路，式(2)は反転積分器，式(3)は反転器，式(4)は位相反転形の加算器を表している。ここで，各入出力間の伝達関数を求めると次式となる。

$$\frac{V_2}{V_1} = \frac{-hsT_2}{s^2T_1T_2 + saT_2 + b} \quad (5)$$

$$\frac{V_3}{V_1} = \frac{-h}{s^2T_1T_2 + saT_2 + b} \quad (6)$$

$$\frac{V_4}{V_1} = \frac{ms^2T_1T_2 + \left(m - \frac{hc}{a}\right)saT_2 + \left(m - \frac{hd}{b}\right)b}{s^2T_1T_2 + saT_2 + b} \quad (7)$$

但し，

$$\left. \begin{aligned} c &= \frac{ma}{h} \\ d &= \frac{mb}{h} \end{aligned} \right\} (8)$$

式(5)は BPF，式(6)は LPF，式(7)は HPF となる。よって，式(1)~(4)を，MOSFET を用いて回路化し，接続することでバイカッドフィルタを構成する。MOSFET を理想モデルとして扱い，小信号等価回路を用いて表すと，図2が得られる。

図2の回路より各伝達関数を求めると次式となる。

・LPF

$$T_L(s) = \frac{V_3}{V_1} = H_L \cdot \frac{\omega_0^2}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2} \quad (9)$$

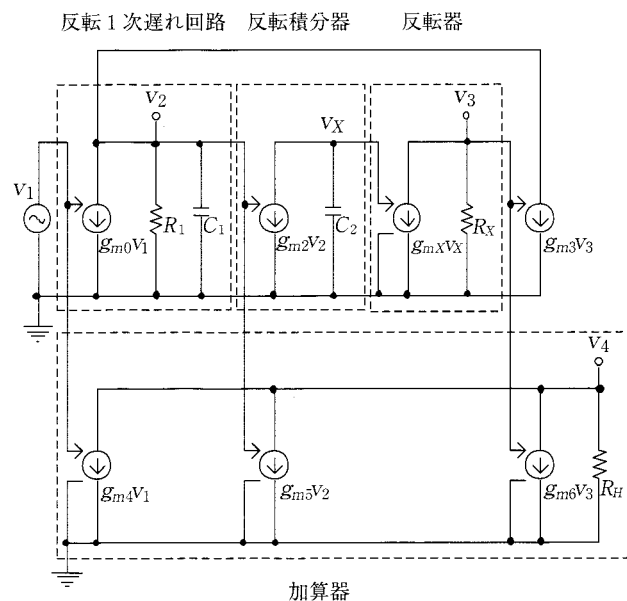


図2 小信号等価回路

・BPF

$$T_B(s) = \frac{V_2}{V_1} = H_B \cdot \frac{\frac{\omega_0}{Q} s}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2} \quad (10)$$

・HPF

$$T_H(s) = \frac{V_4}{V_1} = H_H \cdot \frac{s^2 + \left(1 - \frac{g_{m0}g_{m5}R_1}{g_{m4}}\right)s \frac{\omega_0}{Q} + \left(1 - \frac{g_{m0}g_{m6}}{g_{m3}g_{m4}}\right)\omega_0^2}{s^2 + s \frac{\omega_0}{Q} + \omega_0^2} \quad (11)$$

但し，

$$\left. \begin{aligned} Q &= R_1 \sqrt{\frac{C_1 g_{m2} g_{m3} g_{mX} R_X}{C_2}} \\ \omega_0 &= \sqrt{\frac{g_{m2} g_{m3} g_{mX} R_X}{C_1 C_2}} \\ H_L &= -\frac{g_{m0}}{g_{m3}} \\ H_B &= -g_{m0} R_1 \\ H_H &= -g_{m4} R_H \end{aligned} \right\} (12)$$

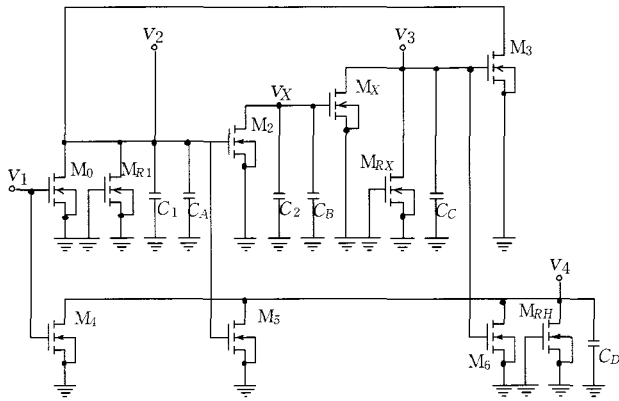


図6 寄生容量を考慮した交流回路

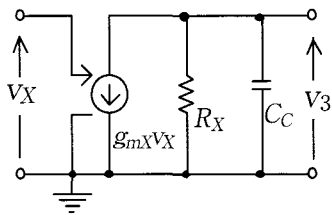
但し、

$$\left. \begin{aligned} C_A &= C_{gs2} + C_{gs5} + C_{gdR1} + C_{gdI1} + C_{gdI5} \\ C_B &= C_{gsX} + C_{gdI2} \\ C_C &= C_{gs3} + C_{gs6} + C_{gdRX} + C_{gdI3} \\ C_D &= C_{gdRH} \end{aligned} \right\} (17)$$

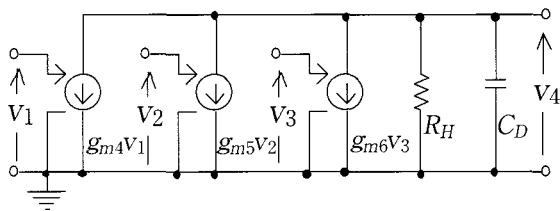
寄生容量 C_A は C_1 と、 C_B は C_2 と並列に存在するため、設計値より寄生容量分を差し引くことにより影響を取り除くことができる。

次に、 C_C の関係したメインブロックの反転器部分、 C_D のサブブロック部分を等価回路を用いて取り出すと、図7(a), (b)に示すように、負荷抵抗と並列に挿入されることがわかる。

図7(a), (b)の入出力関係は次式となる。



(a) メインブロックの反転器



(b) サブブロック

図7 寄生容量を考慮した等価回路

図(a)から、

$$V_3 = -\frac{g_{mX}R_X}{sC_C R_X + 1} V_X \quad (18)$$

図(b)から、

$$V_4 = -\frac{R_H}{sC_D R_H + 1} (g_{m4}V_1 + g_{m5}V_2 + g_{m6}V_3) \quad (19)$$

式(18), (19)から分母の1次項が影響を与えないためには、次の不等式を満たす必要がある。

$$\left. \begin{aligned} (\omega_0 C_C R_X)^2 &\ll 1 \\ (\omega_0 C_D R_H)^2 &\ll 1 \end{aligned} \right\} (20)$$

式(20)から、寄生容量、負荷抵抗が小さい値となるように設計を行う。ドレイン抵抗を小さくするには、式(16)より、 W , V_{GS} を大きくし、 V_{DS} を小さくする必要がある。寄生容量は MOSFET の面積 ($L \cdot W$) に比例し大きくなるので、面積を抑え、且つ所望のドレイン抵抗を得るために、ゲート-ソース間電圧 V_{GS} を大きく、ドレイン-ソース間電圧 V_{DS} を小さく設計することで面積の増大を抑え、寄生容量の影響を小さくすることができる。

5. 可変方法

提案回路の Q , ω_0 の可変方法を説明する。式(12)より、 Q の可変は R_1 を調整、 ω_0 の可変は g_{mX} を調整し、反転器の倍率を変化させることにより行う。但し、 ω_0 を可変する際、 Q も変わるため、 R_1 の調整によって一定にした。

飽和領域で動作している MOSFET のトランスコンダクタンスは式(15)よりドレイン電流により、非飽和領域で動作している MOSFET のドレイン抵抗は式(16)よりゲート-ソース間電圧により調節が可能である。よって、 Q の可変は、図4の V_{B2} によって M_{R1} のゲート-ソース間電圧を調整し、ドレイン抵抗を変化させることにより行う。

ω_0 の可変は、 M_X の直流電流源である M_B のドレイン電流を V_{B3} によって調整し、 M_X のトランスコンダクタンスを変化させることにより行う。但し、BPFの f_0 可変においては、 R_1 を調節することにより H_B が変化するため、 V_{B4} により H_B を調整した。HPFの可変においては、 R_1 調整後、式(13)が満たされるように、 V_{B5} によって g_{m5} の調整を行った。

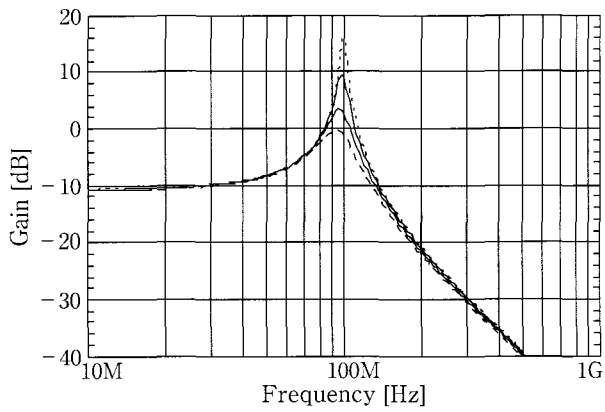
6. シミュレーション結果

図4の回路の特性を PSpice によるシミュレーションにより確認した。設計条件は、電源電圧を 1.5V、 f_0 を 100MHz、 Q を 5とし、MOSFETは、MOSISの $0.5\mu\text{m}$ プロセスのものを用いた。

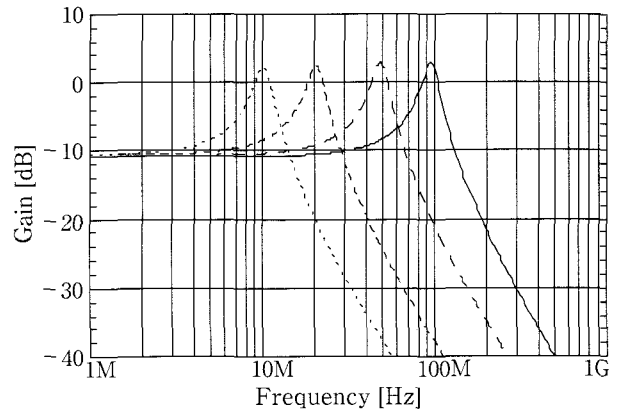
図8~図10に各フィルタ特性を示す。 Q は約 3~30程度、 f_0 は約 10M~100MHz程度可変することが可能であり、双方の可変範囲は約10倍と良好な結果が得られた。

7. あとがき

状態変数回路から導かれる原形バイカッド回路に注目

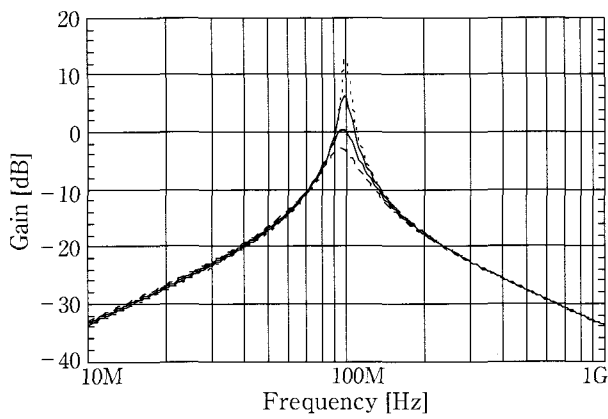


(a) Q の可変 ($Q = 3 \sim 30$)

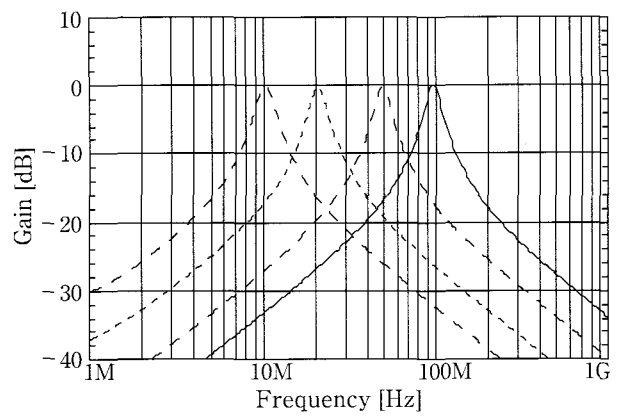


(b) f_0 の可変 ($f_0 = 10\text{M} \sim 100\text{MHz}$)

図8 LPF 周波数特性

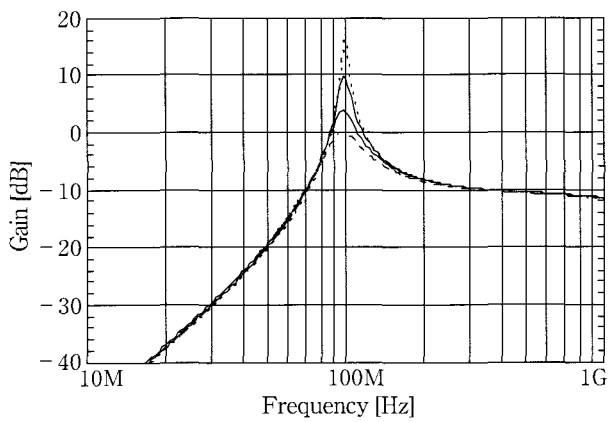


(a) Q の可変 ($Q = 3 \sim 30$)

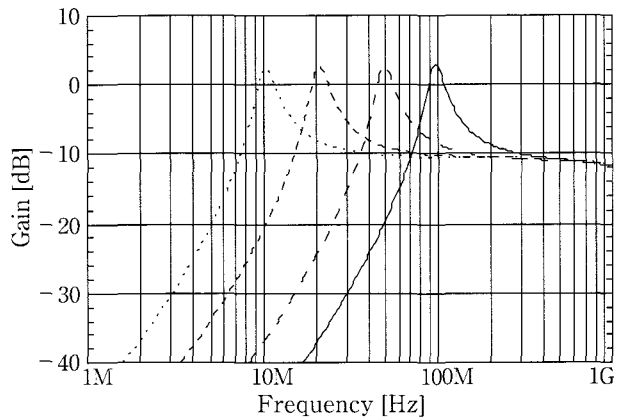


(b) f_0 の可変 ($f_0 = 10\text{M} \sim 100\text{MHz}$)

図9 BPF 周波数特性



(a) Q の可変 ($Q = 3 \sim 30$)



(b) f_0 の可変 ($f_0 = 10\text{M} \sim 100\text{MHz}$)

図10 HPF 周波数特性

し、1入力3出力の電圧モードバイカッドフィルタを提案した。本回路は、ソース端子をすべて接地させたMOSFETを用い、2段積みの回路構成を実現し、且つソース端子がすべて接地した回路であるため、低電源電圧化が可能であり、基板効果伝達コンダクタンスの影響を考慮する必要がない等の利点を有している。また、MOSFETの不完全性要素である寄生容量について回路解析を行い、特性への影響の軽減を行った。さらに、バイアス電圧を調整することにより Q , ω_0 を約10倍程度調整可能であることを示した。

今後の課題として、チップ面積の低減、APF, BEFを含めたユニバーサルフィルタの実現等があげられる。

謝 辞

本研究を進めるに当たり有益なご助言をいただいた広島工業大学工学部、中村正孝教授、沖根光夫教授に深く感謝いたします。

文 献

- 1) 半田幸久, 茨木栄武, 兵庫明, 関根慶太郎: “遮断周波数が可変容易な CMOS 電流モードローパス・バンドパスフィルタ”, 電気学会電子回路研究会, ECT 01-2, pp. 7-10, Jan, (2001)
- 2) 長沢俊伸, 兵庫明, 関根慶太郎: “低電圧カスコードカレントミラーを用いた電流モードローパスフィルタ”, 電気学会電子回路研究会, ECT 99-5, pp. 17-22, Jan, (1999)
- 3) Uroschanit Yodprasit, Krisada Sirivathanant: “A Compact Low-Power Vertical Filter for Very-High-Frequency Applications”, IEEE International Symposium on Circuits and Systems, vol. 1, pp. 164-167, May, (2001)
- 4) 田村康児, 重広孝則: “MOSFET を用いた高周波バイカッドフィルタの一構成”, 電気学会電子回路研究会, ECT 02-72, pp. 27-30, July, (2002)
- 5) Daniel Foty: “MOSFET Modeling with SPICE”, Prentice Hall, (1996)
- 6) 高木茂孝: “MOS アナログ電子回路”, 昭晃堂 (1998)