

3次元 VLSI 設計のための5層チャネルルータの開発

大村 道 郎*・岡 本 好 広*

(平成14年9月13日受理)

Development of a 5-layer Channel Router for 3-D VLSI Design

Michiroh OHMURA and Yoshihiro OKAMOTO

(Received Sep. 13, 2002)

Abstract

Channel routing is one of the important problems in VLSI layout design. Many channel routing problems have been researched, and one of them is for multilayer channels in which terminals of different nets exist on a column. This problem cannot be solved by the conventional algorithms, which are designed for multilayer channels in which terminals of the same net exist on a column. It is referred to as the 3-D channel routing problem and any method for this problem is discussed on the design speed. In the research of devices in which circuit elements are integrated in 3-D, small chips have been developed since late 1980's. In the layout design that is necessary to develop large-scale 3-D integrated circuits, development of a high-speed routing method is indispensable. In this paper, a fast 5-layer routing method for 3-D rectangular channels is proposed based on the greedy router and it is extended for 3-D irregular channels. The experimental results to evaluate the proposed method are also shown.

Key Words: VLSI, 3-D, layout, channel, router.

1. ま え が き

VLSI レイアウト設計における重要な問題のひとつに、チャネル配線問題がある。レイアウト設計の目的である、チップ面積の最小化を達成するためには、チップ上で大きな面積を占めるチャネル配線領域の削減が必要不可欠である。通常、チップ全体の面積を最小化するため、レイアウト設計が繰り返し適用されること、近年の集積度の向上に伴い、結線要求がますます複雑になっていることなどから、チャネル配線にも更なる高速性が求められる。

これまでに、多くのチャネル配線問題が研究されてきた^{1)~3)}。これらの配線問題では、通常、第1層、(および第3層)を水平成分配線に、第2層を垂直成分配線に専用に用いるHV(HVH)配線方式を採っており、唯一の垂直配線層である第2層の両端に、トランジスタが配置されているアクティブ層からの端子列がそれぞれ与えられる。

そして、同じ番号を持つ端子同士を、水平配線層で使われるトラック数を最小化しながら接続する。なお、垂直配線層と水平配線層の間はビアによって接続される。

アクティブ層は1層のまま、配線層のみを多層化した多層配線問題についても、多くの研究が行われている^{4),5)}。この配線問題の特徴は、アクティブ層の1つのネットが、同じカラムの複数の配線層におけるどの端子にでも接続できることである。つまり、1つのカラムに1つのネットの端子しか存在せず、通常の2次元LSIを対象としている。なお、発表されているほとんどの多層ルータはこのモデルである。この配線問題に対する手法では、通常、層割当てによってネットを2層または3層ごとに分け、従来の2層または3層ルータで配線する。同一カラム上のどの垂直層からでも端子を取り出すことができるため、層割当ては比較的簡単にできる⁶⁾。

これに対し、文献^{6)~8)}では、1つのカラムに複数の異な

* 広島工業大学工学部電気・デジタルシステム工学科

る端子が存在する場合の問題について議論している。この問題はネットを2層(3層)ごとに分割し, 2層(3層)配線手法を適用する従来の手法では, 解くことができない。

まず文献7)では, アクティブ層自体が複数層重なっている3次元チップに対する多層チャンネルを配線するためにこの配線モデルを導入した。この文献では, 層内に斜め配線を用いたアルゴリズムと配線例を示している。次に, 文献8)では垂直制約グラフを3次元に拡張し, 配線のトラックへの割当てを求めることによって, 文献7)の例題を縦横配線のみを用いて配線した。その後, 文献6)では, この問題がNP完全となることを示した上で, シミュレートッドアニーリング法を用いた配線法を提案した。なお, この文献では, この多層配線問題を, 1つのカラムに1つの端子しかない通常の多層配線問題と区別して, 3次元チャンネル配線問題と呼んでいる。これら3つの文献⁶⁻⁸⁾はいずれも, 1つのカラムに異なるネットの端子が存在する, 同じモデルである。本論文でもこの配線問題を, 文献6)に習って3次元チャンネル配線問題と呼ぶ。

ところで, これらの文献⁶⁻⁸⁾のいずれも配線設計の高速化について論じていない。回路素子自体を3次元に集積化するデバイスの研究では, 小規模ながら, 1980年代の後半には, 既に試作が行われている^{9), 10)}。大規模な3次元集積回路を設計する場合に必要なレイアウト設計の分野においても, 実用的な, すなわち高速な配線手法の開発が必要な時期に来ていると考えられる。

従来のチャンネル配線において, 高速で最適に近い解が得られることで知られているルータとして, グリーディーチャンネルルータ²⁾がある。この手法では, 貪欲法¹¹⁾に基づき, カラムごとに高速に配線する。この手法は文献3)において2次元の3層グリーディーチャンネルルータに拡張されている。この手法では, 端子が引き出された垂直配線層を挟む2つの水平層のうち, 空いている層を使い, 文献2)と同様にカラムごとに配線を行う。これらの手法は, いずれも垂直配線層が1層しかない場合を対象としており, 本論文で議論する3次元チャンネルとは異なる。

本論文では, 文献2)のルータを大規模な3次元集積回路の配線に拡張する¹²⁾。まず, 向かい合う端子列が平行な場合に, 3次元チャンネルの配線を高速に求めるアルゴリズムを提案し, 実験により提案手法の有効性を示す。更に, 向かい合う端子列が任意の凹凸形状の3次元チャンネルでも配線できるよう, アルゴリズムを拡張する。

2. 3次元チャンネル配線問題

2.1 2層, 多層チャンネルと3次元チャンネル

まず, 2層チャンネル, 多層チャンネルと3次元チャンネルの違いを説明する(図1参照)。2層チャンネル, および多層

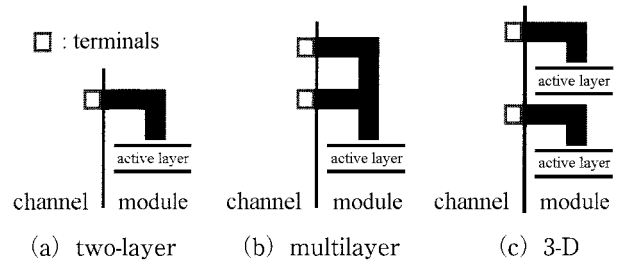


図1 3次元チャンネルR

チャンネルでは2次元チップを対象としているため, アクティブ層はどちらの場合でも1層しかない。多層チャンネルの場合でも, 同一カラム上に端子は1つしかなく, 例えば4層配線モデルを仮定している文献13)では, 1つの端子が同じカラムの第2層と第4層に同時に接続されるとしている。

それに対し3次元チャンネルでは, 各垂直層に異なったアクティブ層からの端子が接続される。2.2では本論文で議論する3次元チャンネルについて説明する。

2.2 3次元チャンネル

検討の対象にする2つの3次元モジュールは, 図2に示すXYZ座標で表され, m層のアクティブ層がZ方向に積み重なっているものとする。Y軸方向に関して座標が大きいほうの3次元モジュールを M_t , 座標が小さいほうの3次元モジュールを M_b で表す。

M_t, M_b に挟まれる3次元配線領域を3次元チャンネルRと呼ぶ。各層において, M_t とRの境界面をトップ, M_b とRの境界面をボトムと呼ぶ。ここでは, Rの各層(XY平面)の形状は同一とするがY方向に任意の凹凸を許す。チャンネル内ではアクティブ層の数と同じm層の垂直配線層(Y軸に平行な配線に用いられる層)と, 各垂直配線層の間, および最下層, 最上層に $m+1$ 層の水平配線層(X軸に平行な配線に用いられる層)を仮定する。配線層の総数は $2m+1$ 層となり, 垂直配線層はV, 水平配線層はHを用いてZ軸座標の増加方向に, $H_1, V_2, \dots, H_{2j-1}, V_{2j}, \dots, H_{2m-1}, V_{2m}, H_{2m+1}$ と表す。 M_t, M_b の各アクティブ層からの端子は, 対応する各垂直層に出ているものとする。

図3にアクティブ層 $m=2$, 配線層 $2m+1=5$ でトップ, ボトムに凹凸がない場合の3次元チャンネルRの例を示す。図3に示すように, Rの水平配線層に対し, $y=t$ ($1 \leq t \leq tra$, tra は自然数の変数) で表わされる線分をトラックと呼ぶ。また, Rの垂直配線層に対し, $x=i$ ($1 \leq i \leq Col$, Col は自然数の定数) で表わされる線分をカラムと呼ぶ。トラックとカラムの交点には, 層間を接続するビアを設けることができる。本論文ではビアを重ねて置くことができるものとする(貫通, 及び, スタックが可)。Z軸に

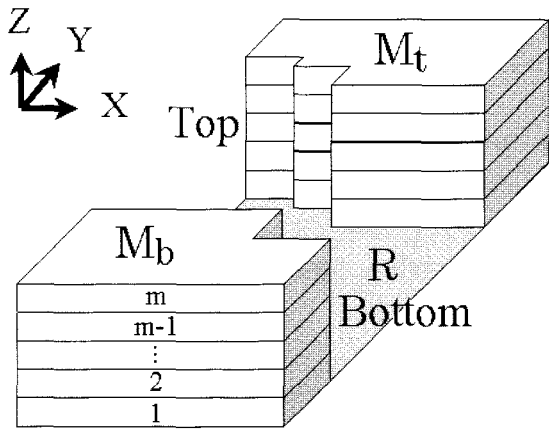


図2 3次元チャンネルR

平行な配線はこのビアを使って行われる。

また、垂直層の各端子には識別番号がつけられており、それをネット番号と呼ぶ。同じネット番号を持つ端子の集合をネットと呼び、各ネットはチャンネル内で配線によって接続される。トップにおける V_{2j} 層 ($1 \leq j \leq m$) に対し、ネット番号 n ($0 \leq n \leq N$, 0 は接続すべきネットがない場合、 N はネットの総数) を値として持つ端子列 $T_j = (t_j^1, t_j^2, t_j^3, \dots, t_j^i, \dots, t_j^{COL})$ が与えられるものとする。同様に、 V_{2j} 層のボトムに対する端子列 B_j も与えられるものとする。ここではネットリスト NL をネット番号の列の集合として、 $NL = \{T_1, B_1, T_2, B_2, \dots, T_m, B_m\}$ と定義する。

以下に3次元チャンネル配線問題(問題3DP)を定義し、その後チャンネルの形状を制約した部分問題(問題3DR)について説明する。

[問題3DP] 入力として、3次元チャンネルR, ネットリスト NL が与えられる。このとき以下の目的関数を最小化する、R内のネットの配線を求めよ。

(目的関数) トラック数 tra □

3次元チャンネルRのトップ、ボトムの凹凸をなくし、それらが平行になるよう制約した場合の部分問題を特に問題3DRと呼ぶ。以下、3. ではこの問題3DRについて議論し、4. で問題3DPについて議論する。

3. 3次元チャンネル配線アルゴリズム

3.1 グリーディールータ^{2),3)}

本論文に関係のある文献^{2),3)}について説明する。文献2)のアルゴリズムは $x=1$ のコラムから順に、コラムごとにネットの配線を行う。各コラムでの水平および垂直線分の割当ては貪欲法¹¹⁾に基づく。入力として、トップ、ボトム

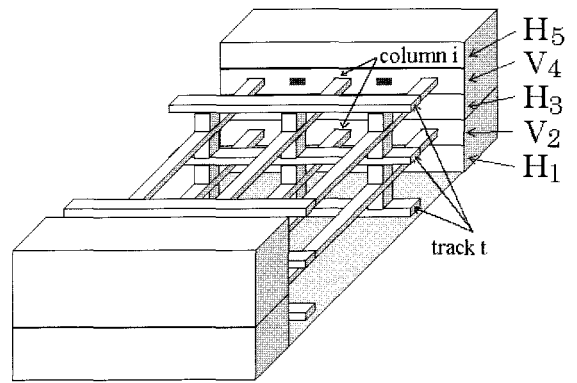


図3 トラック、コラム

に凹凸のない2次元チャンネル(配線層はHVの2層)と唯一の垂直配線層のトップ、ボトムに対する1組の端子列からなるネットリストが与えられたとき、チャンネル幅を初期値(initial-channel-width)に設定し、左端のコラム($x=1$)から順に、次の6つのステップを実行することにより、コラムごとに配線を決定する。ステップ1では、トップ、およびボトムの端子から、最も近い空きトラック、または既にその端子と同じネットが配線されているトラックまで、垂直線分を用いて結線する。ステップ2では異なるトラックを並走してきた同じネット(スプリットネット)を垂直線分を用いて結線する。ステップ3ではステップ2で結線することができなかったスプリットネットについて、並走しているトラック間の距離を垂直線分を使って近づける。ステップ4ではネットを現在配線しているコラムにおいて次に現れる端子の位置により分類(rising net, falling net, steady net)、トップまたはボトムに近づけるか、そのまま現在のトラックを維持する。ステップ5では空きトラックがない場合に新たなトラックを設ける。端子からそのトラックまで垂直線分を用いて結線する。ステップ6ではすべての配線を次のコラムに延長する。

文献3)の3層グリーディールータでは、端子が引き出される垂直層の上下に2つの水平層が隣接しているので、どちらか空いている層のトラックを用い、上述のアルゴリズムと同様に、コラムごとに配線する。

これら2つのアルゴリズムが対象としている配線問題は、何れもアクティブ層が1層で、本稿で議論する3次元チャンネル配線問題とは本質的に異なる。

3.2 パラメータ

2. で述べた問題3DRに対し、提案するアルゴリズムを3DAと呼ぶ。アルゴリズム3DAでは、文献2)のルータを3次元チャンネルに拡張する。すなわち、与えられた定数 W (以降、初期チャンネル幅と呼ぶ) をトラック数の初期

値とし、カラム番号の順（ X 座標の増加方向）に配線を行う。このとき、現在配線を行っているカラムにおいて、与えられる定数 C （以降、定常ネット定数と呼ぶ）の値に応じてネットを3.3で述べる9種類に分類し、現在の状況で局所的に見て最善な道を選んで進む貪欲戦略¹¹⁾に基づいて配線を行い、配線ができなくなる度にトラック数を増やす。なお、この定常ネット定数 C の値を増やすことによって、ビアの増加、すなわち配線の折れ曲がりの増加を防ぐことができる。

提案するアルゴリズムでは、文献2) 同様、初期チャネル幅 W (*initial-channel-width*)、最小ジョグ長 J (*minimum-jog-length*)、および定常ネット定数 C (*steady-net-constant*) をパラメータとして用いる。

3.3 ネットのタイプ

提案するアルゴリズムでは、現在配線を行っているカラム i において、 i より大きいカラムに接続すべき端子を持つネットを、 Y 座標、 Z 座標共に、それぞれ以下に述べる3つのタイプに分類する。したがって、各ネットは Y 座標と Z 座標各3タイプの組合せ、すなわち、9種類のうちの1つのタイプから構成される。

Y 座標に関する分類として、文献2) の rising net, falling net, steady net を3次元チャネルに拡張し、 Y 上昇ネット、 Y 下降ネット、 Y 定常ネット（定義1-3参照）を導入する。 Z 座標に関する分類は、回路層が複数になった3次元チャネルにおいて初めて必要となる分類であり、本論文で新たに、 Z 上昇ネット、 Z 下降ネット、 Z 定常ネット（定義4-6参照）を導入する。

以下では、現在配線を行っているカラム i 上の全ての層のトラックに存在するネットの集合を N_i と表す。あるネット $n \in N_i$ に対し、 $i+1$ 以降で最初に端子が現れるカラムを k ($i+1 \leq k$) とする（図2参照）。以下の定義

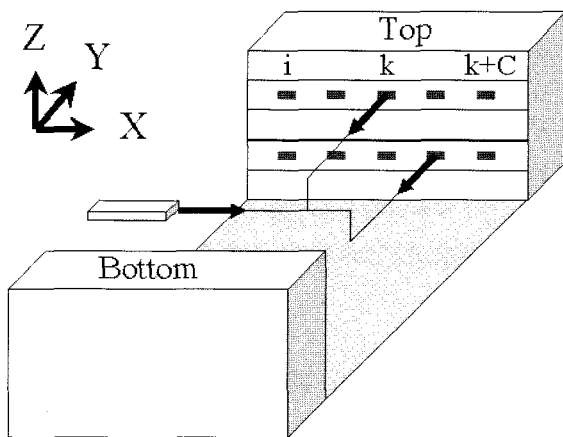


図4 Y 上昇、かつ、 Z 定常ネットの例

中で、 C は定常ネット定数を表す。

まず、 Y 座標に関する分類として、 Y 上昇ネット、 Y 下降ネット、 Y 定常ネットを定義する。

[定義1] ネット $n \in N_i$ が以下の条件(a), (b)を共に満たすとき、 n を Y 上昇ネットと定義する。

- (a) n はカラム k においてトップに端子を持つ。
- (b) n は $k \leq u < k + C$ を満たすカラム u においてボトムに端子を持たない。 □

[定義2] ネット $n \in N_i$ が以下の条件(c), (d)を共に満たすとき、 n を Y 下降ネットと定義する。

- (c) n はカラム k においてボトムに端子を持つ。
- (d) n は $k \leq u < k + C$ を満たすカラム u においてトップに端子を持たない。 □

[定義3] ネット $n \in N_i$ が Y 上昇ネットでも Y 下降ネットでもないとき、 n を Y 定常ネットと定義する。 □

次に、 Z 座標に関する分類として、 Z 上昇ネット、 Z 下降ネット、 Z 定常ネットを定義する。

[定義4] ネット $n \in N_i$ が以下の条件(e), (f)を共に満たすとき n を Z 上昇ネットと定義する。

- (e) n はカラム k において V_4 層に端子を持つ。
- (f) n は $k \leq u < k + C$ を満たすカラム u において V_2 層に端子を持たない。 □

[定義5] ネット $n \in N_i$ が以下の条件(g), (h)を共に満たすとき n を Z 下降ネットと定義する。

- (g) n はカラム k において V_2 層に端子を持つ。
- (h) n は $k \leq u < k + C$ を満たすカラム u において V_4 層に端子を持たない。 □

[定義6] ネット $n \in N_i$ が Z 上昇ネットでも Z 下降ネットでもないとき、 n を Z 定常ネットと定義する。 □

[例1] 図4において、左端のカラム i 上のネット n を現在配線しているとする。ネット n に対し、カラム k においてトップに最初の端子が現れ、 $k+C$ より前のカラムにおいてボトムに端子を持たない。すなわち、定義1を満足するから、このネットは Y 上昇である。また、このネットの最初の端子は V_4 層に現れ、定義4(e)を満足するが、 $k+C$ より前のカラムにおいて V_2 層に端子が現れるので、定義4(f)を満足しない。したがって、このネットは Z 定常でもある。但し、この場合の定常ネット定数は $C=2$

とする。 □

[定義7] カラム i において一本のネットが同時に、複数のトラック上（層が異なる場合も含む）に存在するとき、これをスプリットネットと定義する。 □

3.4 アルゴリズム

提案するアルゴリズム 3DA では、カラムごとにグリーディー法²⁾に基づき配線を行う。このとき3.3で説明したネットのタイプに基づいて、Y上昇ネットはトップに近いトラックへ、Y下降ネットはボトムに近いトラックへ、Z上昇ネットは上層へ、Z下降ネットは下層へ、それぞれ優先的に配線する。

アルゴリズム 3DA の入力は、(1)3次元チャンネル R , (2)ネットリスト NL , (3)パラメータ：初期チャンネル幅 W , 最小ジョグ長 J , 定常ネット定数 C である。

以下、アルゴリズムの概要を述べ、各手続きについて詳述する。

3.4.1 アルゴリズムの概要

アルゴリズム 3DA では、まずチャンネル幅を表す変数 tra に、パラメータとして与えられた初期チャンネル幅 W を設定し、現在配線しているカラムを表す変数 $column$ を 1 に設定する。次に、カラムごとに、次節で述べる7つの手続きを呼ぶことにより配線を行う。ネットリスト NL で与えられたカラム数 COL まで配線した時点で、まだスプリットネット (3.3, 定義7参照) が残っていれば、これがなくなるまで、カラムを増加して配線を続ける。すなわち、

algorithm 3DA;

begin

$tra = W$; $column = 1$;

while $column \leq COL$ or スプリットネットが存在
do

- (a) 手続き MKC によって端子からトラックへネットを引き出す;
- (b) 手続き COL によってスプリットネットを垂直配線成分を用いて結線する;
- (c) 手続き ZMV によってZ上昇、及びZ下降ネットを移動する;
- (d) 手続き RED によってスプリットネットをまとめやすいよう近づける;
- (e) 手続き YMV によってY上昇、及びY下降ネットを移動する;
- (f) 手続き WID によってチャンネル幅を拡張する;
- (g) 手続き NXT によってつぎのカラムへ配線を

延長する;

$column = column + 1$;

endwhile

end

3.4.2 手続きの詳細

以下の各手続きについて順に説明する。この場合、 $column = i - 1$ まで既に配線してあるとする。

(a) 手続き MKC (端子からトラックへネットを引き出す):

手続き MKC では $T_i^j (B_i^j)$ が 0 でないとき次の(1)-(3)のいずれかを満たす最大 (最小) のトラック t を求め、現在配線をしているカラム i における V_4 層を用いて $T_i^j (B_i^j)$ から t まで配線する。

- (1) $T_i^j (B_i^j)$ と同じネット n が既に配線されている。
- (2) ネット n がカラム i においてZ下降でなく、 H_5 層が空である。
- (3) H_3 層が空である。

このとき T_i^j からの配線と B_i^j からの配線が V_4 層で衝突する場合、配線長が短いほうのみを配線する。また、 $T_i^j = B_i^j \neq 0$ であり空きトラックが無い場合は V_4 層を用いて T_i^j から B_i^j まで配線する。

同様に $T_2^j (B_2^j)$ についても V_2 層を用いて H_1 層または H_3 層のトラックに引き出す。引き出すことのできなかったネットは後の手続き WID で処理する。

[例2] 図5(a)に手続き MKC の例を示す。この例では T_4^j, B_2^j が共にZ下降ネットである。 T_4^j は H_5 層に引き出すことはできず、最も近い H_3 層のトラックに引き出される。また、 B_2^j は最も近い H_1 層のトラックに引き出される。 □

(b) 手続き COL (スプリットネットを結線する):

手続き COL では、まず、同時に3つ以上に分かれたスプリットネットをあらかじめ隣り合う2つずつのスプリットネットに分解する。次に、スプリットネットを以下に示す $NC1, NC2, NC3, NC4$ の4種類に分類し、それぞれに対し、最も多く空きトラックができるスプリットネットの組み合わせを求め、結線する。

- (1) $NC1$ は、同一トラック t 上で異なる2つの水平配線層にまたがり、それらの水平配線層に挟まれる層が空であるスプリットネットの集合とする。
- (2) $NC2$ は、異なるトラック $t, t' (\neq t)$ 上で H_5 層と H_1 層にまたがり、それらの水平配線層に挟まれる層が空であるスプリットネットの集合とする。

(3) NC3 は、異なるトラック $t, t' (\neq t)$ 上で H_5 層と H_3 層、または共に H_5 層、または共に H_3 層にまたがり、 t, t' 間の V_4 層が空であるスプリットネットの集合とする。

(4) NC4 は、異なるトラック $t, t' (\neq t)$ 上で H_3 層と H_1 層、または共に H_3 層、または共に H_1 層にまたがり、 t, t' 間の V_2 層が空であるスプリットネットの集合とする。

このとき、もしネット n が Z 上昇 (Z 下降) ならば上 (下) の水平配線層のネット n のみを残し、他の層のネット n を終了させてトラックを空ける。同一層の場合は任意にどちらかのトラックを空ける。

【例 3】 図 5 (b) に手続き COL の例を示す。この例では、共に Z 下降であり、それぞれ NC1, NC3 に属するスプリットネットが結線され、共に上の層のトラックを空けている。 □

(c) **手続き ZMV** (Z 上昇、及び Z 下降ネットを移動する) :

手続き ZMV では、 H_5 層に存在する Z 下降のネット n の集合 $NZ-$ を求める。そして各ネット $n \in NZ-$ に対し n が存在するトラックを t とすると、次の(1), (2)を満たす最も近いトラック $t' (\neq t)$ を求め V_4 層を用いてトラック t から t' まで配線し、トラック t のネットを終了させる。

- (1) t' における H_3 層が空である。
- (2) t, t' 間における V_4 層が空である。

次に H_1 層に存在する Z 上昇のネット n の集合 $NZ+$ を求め、同様に処理する。

【例 4】 図 5 (c) に手続き ZMV の例を示す。この例では、トラック 4 の H_5 層にあった Z 下降ネットを、トラック 2 の H_3 層に移動している。 □

(d) **手続き RED** (スプリットネットをまとめやすいよう

に近づける) :

手続き RED では手続き COL で結線できなかった全てのスプリットネット n の集合 NR を求める。次にネット $n \in NR$ に対し、 n が存在する 2 つのトラックをそれぞれ $t_{min}, t_{max} (t_{min} < t_{max})$ とすると、それぞれに対応する水平配線層 H_{min}, H_{max} を求め、ネット $n \in NR$ を $t_{max}-t_{min}$ の非増大順にソートし、系列 A とする) を求める (但し、 $H_{min}, H_{max} \in \{H_5, H_3, H_1\}$)。

系列 A にしたがって、各ネット n に対し、以下の(1)-(3)のいずれかを満たし、かつ、(4), (5)を共に満たす最大のトラック t'_{min} を求める。

- (1) H_5 層が空で、且つ、ネット n が Z 上昇である。
- (2) H_1 層が空で、且つ、ネット n が Z 下降である。
- (3) H_3 層が空で、且つ、ネット n が Z 直進である。
- (4) t_{min} から t'_{min} までの垂直配線層が空である。
- (5) $t_{min} < t'_{min} \leq t_{max}$

ここでトラック t'_{min} が求まらなかった場合、再び系列 A にしたがって、各ネット n に対し、以下の(6)-(8)のいずれかを満たし、かつ、(9), (10)を共に満たす最大のトラック t'_{min} を求める。

- (6) H_3 層が空で、且つ、ネット n が Z 上昇である。
- (7) H_5 層が空で、且つ、ネット n が Z 下降である。
- (8) H_5 層または H_1 層が空で、且つ、ネット n が Z 直進である。
- (9) t_{min} から t'_{min} までの垂直配線層が空である。
- (10) $t_{min} < t'_{min} \leq t_{max}$

垂直配線層を用いて t_{min} から t'_{min} まで配線し、トラック t_{min} のネット n を終了させる。同様に $t'_{min} \leq t'_{max} < t_{max}$ を満たす最小のトラック t'_{max} を求め、垂直配線層を用いて t_{max} から t'_{max} まで配線し、トラック t_{max} のネット n を終了させる。

【例 5】 図 6 (a) に手続き RED の例を示す。この例では、 t_{max} がトラック 6、 t_{min} がトラック 1 で、Z 下降であるスプリットネットに対し、新たに求めた t'_{max} はトラック 4、 t'_{min} はトラック 3 となって、ネット間の距離が近づい

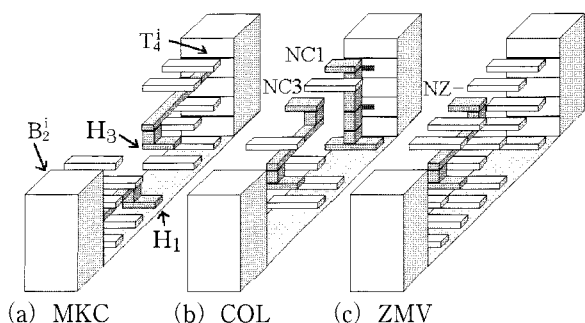


図 5 手続き MKC, COL, ZMV の例

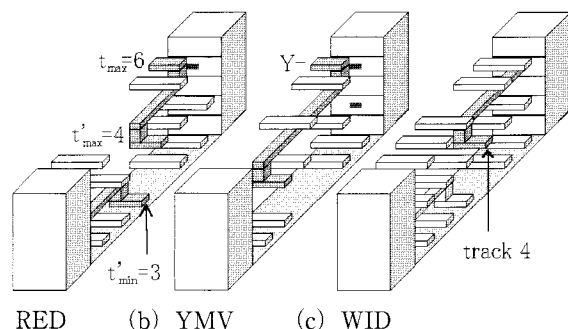


図 6 手続き RED, YMV, WID の例

ていることに注目されたい。

□

(e) 手続き YMV (Y上昇, 及びY下降ネットを移動する):

手続き YMV ではスプリットネットを除く全ての Y上昇ネット n の集合 $NY+$ を求める。そして $n \in NY+$ に対し, n が存在するトラック t とそのときの水平配線層 H_p (但し, $H_p \in \{H_5, H_3, H_1\}$) を求める。各ネット n に対し, 以下の(1)-(3)のいずれかを満たし, かつ, (4), (5)を共に満たす最大のトラック t' を求める。

- (1) H_5 層が空で, 且つ, ネット n がZ上昇である。
 - (2) H_1 層が空で, 且つ, ネット n がZ下降である。
 - (3) H_3 層が空で, 且つ, ネット n がカラム i においてZ直進である。
 - (4) t から t' までの垂直配線層が空である。
 - (5) $t < t'$
- ここでトラック t' が求まらなかった場合, 再び各ネット n に対し, 以下の(6)-(8)のいずれかを満たし, かつ, (9), (10)を共に満たす最大のトラック t' を求める。
- (6) H_3 層が空で, 且つ, ネット n がZ上昇である。
 - (7) H_3 層が空で, 且つ, ネット n がZ下降である。
 - (8) H_5 層または H_1 層が空で, 且つ, ネット n がZ直進である。
 - (9) t から t' までの垂直配線層が空である。
 - (10) $t < t'$

次にスプリットネットを除く全ての Y下降ネット n の集合 $NY-$ を求める。そして $n \in NY-$ に対し, 同様に $t < t$ を満たす最小のトラック t' を求める。

ネット $n \in NY+ \cup NY-$ を $|t-t'|$ の非減少順にソートし, 系列 (B とする) を求める。系列 B にしたがって, 可能であれば各 n を垂直配線層を用いてトラック t から t' まで配線し, トラック t のネット n を終了させる。

[例 6] 図 6(b)に手続き YMV の例を示す。この例では, トラック 6 の H_5 層にあった Y下降, Z直進ネットを, トラック 2 に移動している。 □

(f) 手続き WID (チャネル幅を拡張する):

手続き WID ではもし B_i^j が引き出されていなければ, 以下の(1), (2)を満たす最大のトラック t を求め, t と $t+1$ の間に新たなトラックを作る。

- (1) $t \leq tra/2$
- (2) $1 \leq y \leq t$ における V_4 層が空である。

次に, 端子 B_i^j からトラック t まで, V_4 層を用いて配線する。このときネット n がZ上昇であれば, 新たなトラック上の H_5 層に, そうでなければ新たなトラック上の

H_3 層に配線する。

T_4^i, B_2^j, T_2^j についても, 同様の処理を行う。

[例 7] 図 6(c)に手続き WID によって T_4^i を引き出す場合の例を示す。この例では新たなトラック t' を, トラック 4 として設けている。 □

(g) 手続き NXT (つぎのカラムへ配線を延長する):

手続き NXT ではいずれかのトラックに配線されているネットの集合のうち, スプリットネットか, または, 現在のカラム以降に端子を持つネットの集合 NN を求める。次にネット $n \in NN$ を次のカラムに延長する。

3.5 アルゴリズム 3DA に関する実験結果

アルゴリズム 3DA の性能評価を, サンマイクロシステムズ社 ULTRA10 Model 300上でC言語を用いて行った。実験結果を表 1 に示す。

ここで, データ欄の $No.$ はデータ識別番号を表すが, その数値は与えられたデータのカラム数 COL を意味する。また lb は列毎に重なり合っているネット数の最大値を3で割って切り上げた数字であり, 水平配線層数が3のとき, これより少ないトラック数では配線できない下界を表す。

パラメータは, C (定常ネット定数) については大きく設定した場合, ビア数が減少する代わりにトラック数が増える傾向にあるので, ここでは最大6まで変化させた。また, W (初期チャネル幅) については, 最小値を lb と同じ値とし, 最大値を, W と lb と同じ値にしたとき得られ

表 1 CPU 時間

データ		パラメータ		実験結果			
$No.$	lb	W	C	tra	col	via	$msec$
17	6	6	6	6	17	68	0.83
10	5	6	1	6	13	65	0.80
20	5	6	3	9	20	121	2.09
30	6	9	4	10	31	204	4.40
40	6	10	3	10	42	253	6.36
50	6	8	2	11	50	311	8.82
60	7	7	3	11	60	396	11.25
70	12	13	1	14	70	461	17.55
80	13	15	2	16	80	543	26.64
90	14	17	3	17	90	588	32.16
100	14	16	3	17	100	672	36.46
110	14	16	3	17	111	746	45.03
120	17	20	2	20	120	866	70.14
130	19	20	3	22	130	953	99.71
140	20	21	4	22	140	1001	104.17
150	20	21	4	22	153	1130	118.20
160	20	23	2	23	160	1224	133.40
174	20	21	4	23	174	1274	141.20

たトラック数として変化させた。

実験結果の tra は得られたトラック数を, col はカラム数を, via はビアの数を表している。ここでは tra, col, via の順に優先順位をつけ, 最も少ないトラック数が得られたときの値を載せている。したがって, $COL < col$ となっているデータもあるが, tra より col を優先させることにより, 改善できる。また, チャンネルの右端付近が特に混雑しているために COL をはみ出してしまう場合には, 配線方向を変えることにより, 解消できる可能性がある。

データ No.17 は文献7) の例題である。この例題に対して, 文献8) では斜め配線を用いず同じ6トラックでの配線を CPU 時間 280msec (30MIPS) で得ている。提案するアルゴリズムを同じ程度の計算能力を持つと考えられる日本 DEC 社の DECstation 5000/200 (27MIPS) 上で C 言語を用いて再度実験を行ったところ, 同じ6トラックでの配線を 10.7msec で得ることができた。提案手法では貫通ビアを許しているので直接の比較はできないが, 約 1/26の CPU 時間で求まることが分かった。

データ No.10, 20, ..., 160, 174 は, Difficult Example¹⁾ を基に作成した3次元チャンネルのデータである。アルゴリズムの性質から, 入力データであるカラム数に対して比例した計算時間で高速に配線することが期待されるが, 実験によりこのことが確認された。図7にデータ No.17 の配線結果を示す。

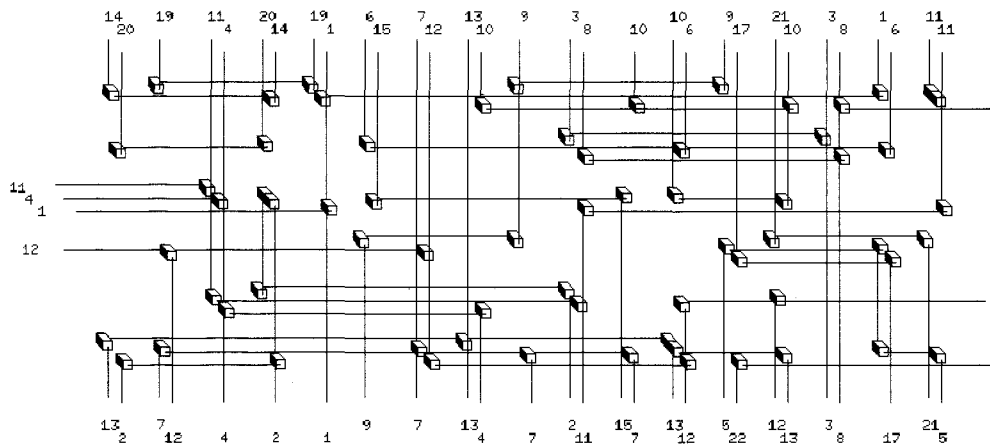


図7 データ17

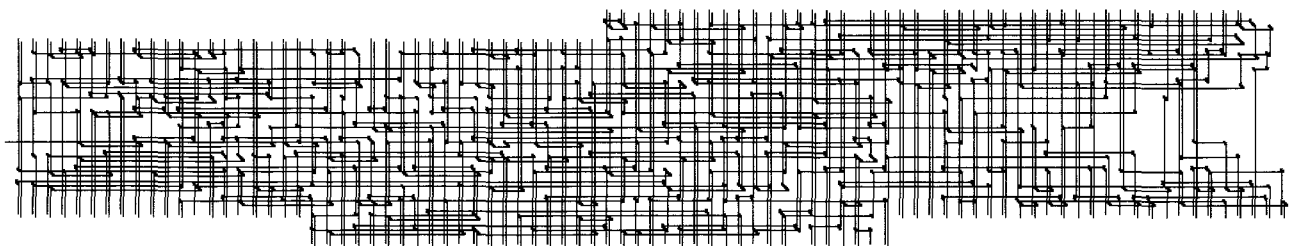


図8 3DEによる配線結果

4. 不規則な形状を持つチャンネルへの拡張

4.1 アルゴリズムの概要

2. で定義した3次元チャンネル配線問題 3DP に対するアルゴリズムを 3DE と呼ぶ。アルゴリズム 3DE では, まず, 不規則な形状をしたチャンネルを方形のチャンネル (以降, チャンネルブロックと呼ぶ) に分割し, 3.4.1で述べた方形チャンネルに対するアルゴリズム 3DA を用い, 配線を行う。

チャンネルブロックの境界において, トップ付近で利用可能なトラック数が増加する場合 (等しい場合を含む) と, トラック数が減少する場合について考える。

前者の場合は, チャンネルブロックの右から出ていく配線を, 単に次のチャンネルブロックに延長すればよい。

後者の場合, あらかじめチャンネルブロックの右に出ていくネットについて, チャンネルブロック右端を越えてボトムに仮想端子を置き, 境界付近でそれらのネットがボトムの近くに集まるようにする。

チャンネルブロックの境界において, ボトム付近で利用可能なトラック数が変化増加する場合も同様にする。

3つのフェーズから構成される, 不規則な形状をもつチャンネルに対するアルゴリズム 3DE の概要を以下に示す。

algorithm 3DE;

begin

(フェーズ1)

- (a) トップ, ボトム, のネットリストをチャンネルの左から走査し, 座標が変化する位置で方形のチャンネルブロック CB_j ($j=1, 2, \dots, n$) に分解する。
- (b) 隣接したチャンネルブロック CB_j, CB_{j+1} 間を通過するネットの集合 $N_{j,j+1}$ を求め, 必要最小トラック数を計算する。
- (c) 各チャンネルブロック CB_j のネットの集合 N_j を求め, 必要最小トラック数を計算する。
- (d) 各チャンネルブロック CB_j ($j=1, 2, \dots, n$) について順にボトム, 及びトップの座標を決めなおす。

(フェーズ2)

- (e) チャンネルブロック CB_j の右側 (CB_{j+1}) に出ているネットの集合 $N_{j,j+1}$ に対し, CB_j のネットリストのトップまたはボトムに仮想的な端子を追加する。
- (f) アルゴリズム 3DA によって各チャンネルブロックをカラムごとに高速に配線する。
- (g) チャンネルブロック CB_j の右側 (CB_{j+1}) に出ているネットの集合と各ネットの座標を求め, CB_{j+1} の左から入るネットの仮想端子の集合 L を構成し, ネットリスト N_{j+1} に加える。

(フェーズ3)

- (h) (e)で追加された仮想的な端子を配線することによって, チャンネルブロック CB_j の右側に生成された不要なカラムを削除する。
- (i) 出力データを結合する。

end

4.2 アルゴリズム 3DE に関する実験結果

アルゴリズム 3DE を, サンマイクロシステムズ社の ULTRA10 Model 300 上に, C 言語を用いて実現した。データは Difficult Example¹⁾ を基にして, ランダムに作成した4つのチャンネルブロック (総カラム数87) から構成される。アルゴリズム 3DE は, この例題に対し, 15トラックの配線結果を得ることができた。図8にその配線結果を示す。

5. む す び

本論文では, まず, 従来の2次元チャンネルに対し, 向かい合う端子列が平行な場合に, 3次元5層チャンネルの配線を高速に求めるアルゴリズムを提案し, その性能をシミュレーション実験によって確認した。更に, 向かい合う端子列が任意の凹凸形状を持つ3次元チャンネルの場合でも配線

できるよう, アルゴリズムを拡張した。今後の課題は, 概略配線も含めた3次元配線設計システムの開発などがある。

文 献

- 1) D.N. Deutsch, "An 'dogleg' channel router," Proc. 13th DA Conf., pp. 425-433 (1976).
- 2) R.L. Rivest and C.M. Fiduccia, "A 'greedy' channel router," Proc. 19th DA Conf., pp. 418-423 (1982).
- 3) P. Bruell and P. Sun "A 'greedy' three layer channel router," Proc. ICCAD-85, pp. 298-300 (1985).
- 4) D. Braun, J. L. Burns, F. Romeo, A. Sangiovanni-Vincentelli, K. Mayaram, S. Devadas, and H. T. MA, "Techniques for multilayer channel routing," IEEE Trans. Computer-Aided Design, Vol. 7, No. 6, pp. 698-712 (1988).
- 5) S.-C. Fang, W.-S. Feng, and S.L. Lee, "A new efficient approach to multilayer channel routing problem," Proc. 29th DA Conf., pp. 579-584 (1991).
- 6) C.C. Tong and C.-L. Wu, "Routing in a three-dimensional chip," IEEE Trans. Computers, Vol. 44, No. 1, pp. 106-117 (1995).
- 7) R.J. Enbody, G. Lynn, and K.H. Tan, "Routing the 3-D chip," Proc. 28th DA Conf., pp. 132-137 (1991)
- 8) 袖美樹子, 吉村 猛, "多層チャンネルルータ", 電子情報通信学会技術研究報告 VLD92-40 (1992).
- 9) T. Kunio, K. Oyama, Y. Hayashi, and M. Morimoto, "Three dimensional ICs, having four stacked active device layers," Proc. 1989 IEEE International Electron Devices Meeting, pp. 837-840 (1989).
- 10) K. Yamazaki, Y. Itoh, A. Wada, K. Morimoto, and Y. Tomita, "4-layer 3-D IC technologies for parallel signal processing," Proc. 1990 IEEE International Electron Devices Meeting, pp. 599-602 (1990).
- 11) 石畑 清, "アルゴリズムとデータ構造", 岩波書店 (1994).
- 12) M. Ohmura, "3-D router for irregular channels," Proc. IEEE International Symposium on Circuits and Systems, pp.1692-1695 (1997).
- 13) 李 丙鎬, 須貝康雄, 平田廣則, "チャンネルグラフを用いた HVHD 方式4層チャンネル配線手法", 電子情報通信学会論文誌(A), J77-A, 4, pp. 671-679 (1994).