

# 広島工業大学における IP を用いた LSI 設計教育

田 中 武\*・大 村 道 郎\*\*

(平成12年 9 月29日受理)

## On an Education of LSI Design using IP in Hiroshima Institute of Technology

Takeshi TANAKA and Michiroh OHMURA

(Received Sep. 29, 2000)

### Abstract

The departments of Electronic and Electrical Engineering of Hiroshima Institute of Technology have been teaching integrated circuit designs and processes of semiconductors since 1989. In Electronic Experiments III, students design the logic circuits using fundamental intellectual property (IP) such as BCD-7 segment decoder, shift register, etc. that are expressed by schematic logic design using Graphic Editor, one of MAX-Plus II applications. Typically, students' design time of BCD-7 segment decoder which consists of logic circuits such as NAND, INV, etc. is about 2~3hours. BCD-7 segment decoder is programmed for the FPGA device and its function is confirmed by using push switches and LED. Almost all the students find it best to design the logic circuits using fundamental IP's. The IP database for VLSI design has been also developed. This database is used to support lectures such as Freshman Seminar, Digital Computer Engineering, Electrical Experiments II, and Design and Drawing.

**Key Words:** VLSI design, intellectual property, CAD, PLD, FPGA, VHDL

### 1. ま え が き

近年、半導体プロセス技術の進歩により、集積回路中の素子が微細化、および高集積化され、すでに数千万個のトランジスタをワンチップに搭載した LSI が登場した。市場からは電子機器の主要部品として多機能化、高性能化が要求され、技術的には莫大な素子数がワンチップに載る。その結果、ワンチップに高度なシステム機能を集積した、いわゆる「システム LSI」が登場し、半導体ビジネスの主流になろうとしている<sup>1)</sup>。また、広範囲に応用可能性を持つシステム LSI の特許から見たアプリケーション分野と要素技術を図 1 に示す<sup>2)</sup>。IP (Intellectual Property) 技術、CAD 技術、プロセス技術、検証技術から要素技術は構成され、アプリケーション分野は、通信分野、PC 分野、映像分野、音響分野、アミューズメント分野と社会の幅広い

分野で応用されている。

図 2 に VLSI の設計工程と合成ツールの例を示す<sup>3)</sup>。VLSI の設計工程には、C, VHDL 等を用いた機能設計、論理設計、レイアウト設計がある。設計効率を上げるためには、設計抽象度をあげる必要がある。次に、LSI 規模の増加と設計生産性を図 3 に示す<sup>3)</sup>。半導体技術ロードマップでは、製造可能なゲート規模は年率58%、設計可能なゲート規模は年率21%向上する。そのままでは、製造可能なゲート規模と設計可能なゲート規模が大きく乖離するが、新 CAD ツールが設計生産性向上の「てこ」に設計可能なゲート規模が増加し、両方の規模が同程度になっている<sup>3)</sup>。また、トランジスタ数の超指数関数的増加に伴う設計の複雑さを図 4 に示す<sup>4)</sup>。1000個のトランジスタの機能は機能性およびテスト可能性であるが、10億のトランジスタでは、機能性、テスト可能性等と様々な機能を包含できるため、

\* 広島工業大学工学部電子・光システム工学科

\*\* 広島工業大学工学部電気・デジタル工学科

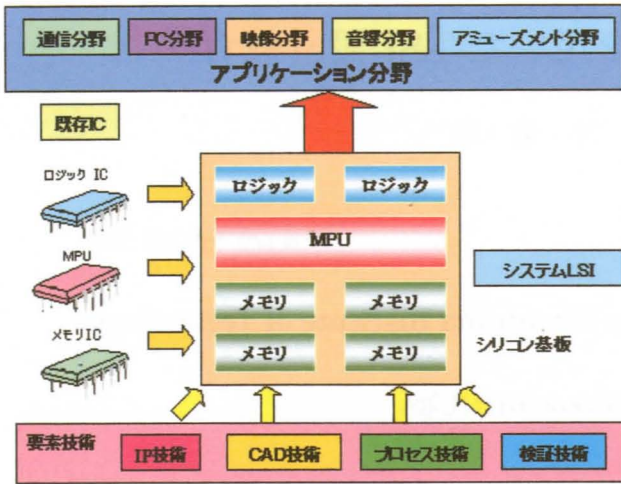


図1 アプリケーション分野と要素技術

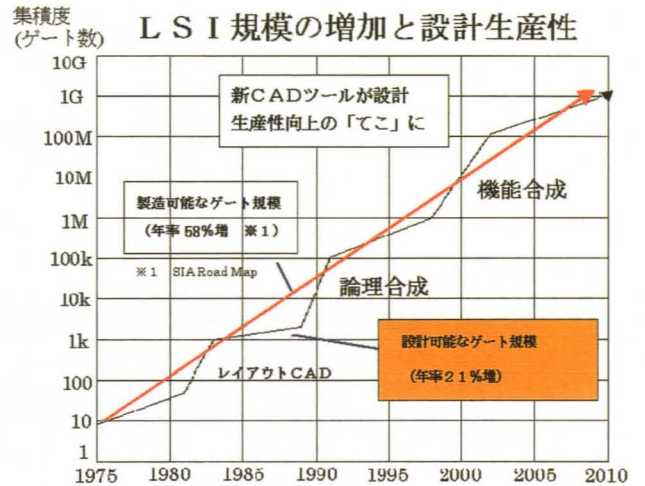


図3 LSI 規模の増加と設計生産性

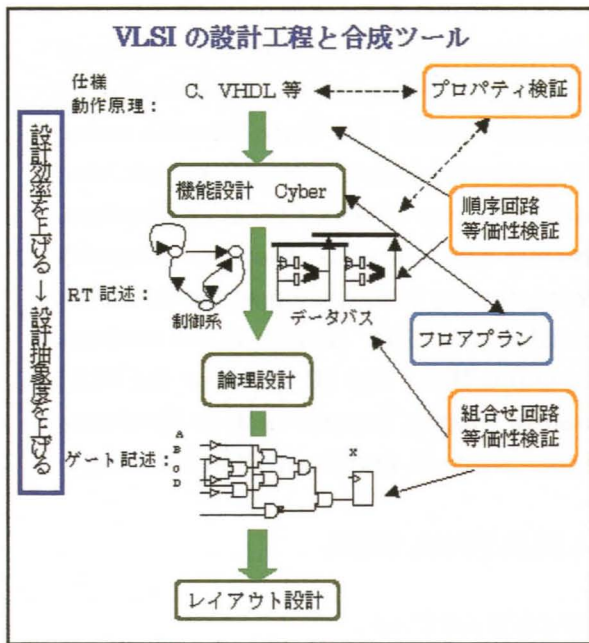


図2 VLSI の設計工程と合成ツール

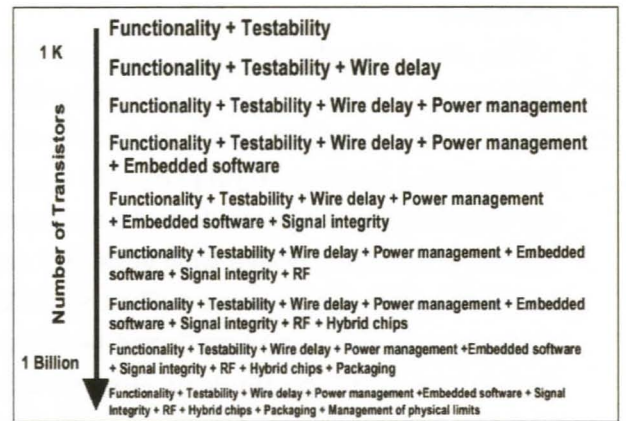


図4 トランジスタ数の増加に伴う設計の複雑さ

VLSI 設計の複雑さは増加する。このような背景の中で、日本では、大規模集積回路 (VLSI) 設計教育の高度化と充実を目指す国公私立大学と高専のための全国共同利用センターとして平成 8 年 5 月に東京大学大規模集積システム設計教育研究センターが設立された<sup>5)</sup>。

本大学において、簡単な集積回路の設計およびプロセス工学教育のできる「集積回路教育実習システム」が平成元年度の文部省教育装置助成でクリーンルーム内に導入され、電子工学実験Ⅲにおいて、ビットマップ法の CAD により、MOS インバータ等の簡単な論理回路のレイアウト設計、および pn 接合ダイオードの製作を体験し、その作製した pn 接合ダイオードの電流-電圧特性および容量-電圧特性等の基本的な電気的特性評価等の実習内容を報告した<sup>6,7)</sup>。大規模集積回路関連設計・プロセス工学教育支援

システムが、平成10年度に日本私立学校振興・共済事業団の「特色のある教育研究の推進」に採択され、本学電子工学科と電気工学科にワークステーション等が整備された。これらの設備を併せた広島工業大学における大規模集積回路関連設計・プロセス工学教育について、報告した<sup>8)</sup>。

本論文では、大規模集積回路設計教育を目指して、集積回路設計において既存の回路図やハードウェア記述言語で書かれた回路 (IP) を用いた回路設計、およびそれらのデータベースを構築したので報告する。

## 2. IP を用いた LSI 設計教育の現状とその効果

集積回路設計および IP (Intellectual Property) を用いた LSI 設計教育における教育的見地を図5に示す。論理回路の基礎から LSI 設計とデバイスの基礎からプロセス技術並びにクリーンルームを用いた教育 (クリーンルーム体験、クリーン度測定、クリーンルーム内の実験) を行っている。LSI 設計においてはカルノー図から論理式の導出、論理回路図の作成、CAD による論理回路図の作成、FPGA (Field Programmable Gate Array) への書き込み

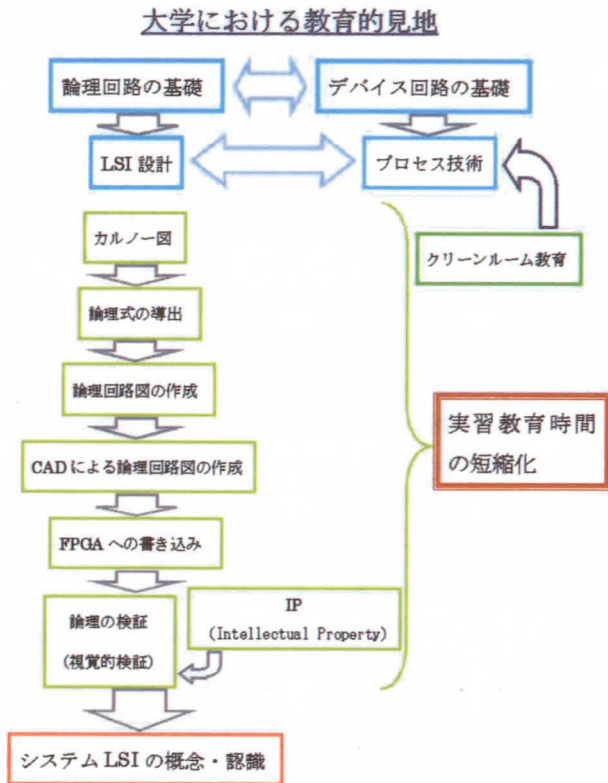


図5 大学における教育的見地

および論理の視覚的検証を行っている。

また、時間とコマ数に限界があり、時間内に個々の学生が設計できるように、学生6~7名を1グループとして個人個人が設計を行う。各個人に4入力1出力のカルノー図(図6(a))を与え、論理式(図6(b))を導出させ、さらに、論理回路(図6(c))を描かしている。その後、アルテラ社のプログラマブル・ロジック開発システム(MAX+PLUS II)のグラフィックエディタを用いて、論理回路図を学生各自作製する。次にその論理回路を、MAX+PLUS II を用いて Digital Laboratory Package 内の PLD に書き込み、書き込んだ論理回路の検証を視覚的

に理解するために発光ダイオード表示により、設計した論理回路の動作確認を行っている。1999年度の学生アンケートをまとめると、アルテラ社のプログラマブル・ロジック開発システム(MAX+PLUS II)のグラフィックエディタの使い安さは5段階で約4、4入力1出力のカルノー図を表す論理回路(数ゲート)の描画時間の平均は約15分であった。数ゲート、仮に5ゲートの論理回路の設計に15分かかるとすると、1千万ゲートの論理回路の設計には約60年かかる計算になる。次に代表的な回路である7枚の4入力のカルノー図で構成されるBCD-7 segment Decoderの設計を各グループで試みた(図7参照)。この回路は4入力7出力、28ゲートで構成され、各学生グループで、この回路一つを、約2~3時間で設計する。カルノー図1枚あたり約17分~26分と4入力1出力の場合に比べて少し時間がかかる程度である。

IPを用いたBCD-7 segment Decoderの設計について検討を行う。BCD-7 segment Decoderの回路を有するTI社74247の論理ICのIPを用いた論理回路設計図を図8に示す。4入力7出力、1IP、7ゲートで構成される。学生グループの設計時間を見ると約20分と約1/6から1/9と設計時間が短縮された。IPを用いた集積回路設計教育を用いることにより、同じ論理動作をする回路の設計時間が短縮され、大学の実習教育時間の有効活用、すなわち実習内容の充実あるいは高度化の可能性が示唆された(図5)。今後は、他のIPを用いた集積回路設計を行いIP利用の効果を検討していきたい。さらに、注目されている新しい設計手法である、設計抽象度を上げた集積回路設計、すなわち、C言語を用いた集積回路設計を試みる予定である。

### 3. 設計支援 IP データベース

集積回路設計において既存の回路図やハードウェア記述言語で書かれた回路(IP)を用いた回路設計が注目されて

AB \ CD	00	01	11	10
00	1	0	0	0
01	1	1	1	1
11	1	1	1	1
10	0	0	0	0

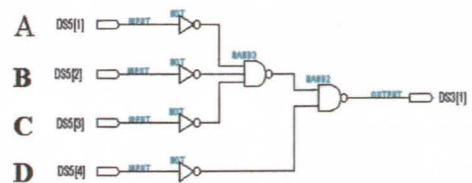
ルノー図より論理式は

$$ABC + D$$

(a) カルノー図

$$\begin{aligned} & \overline{\overline{ABC + D}} \\ & = \overline{\overline{ABC + D}} \\ & = \overline{\overline{ABC} \cdot \overline{D}} \end{aligned}$$

(b) 論理式



(c) 論理回路図

図6 カルノー図から論理回路図を描いた例

## BCD to 7-Segment Decoder

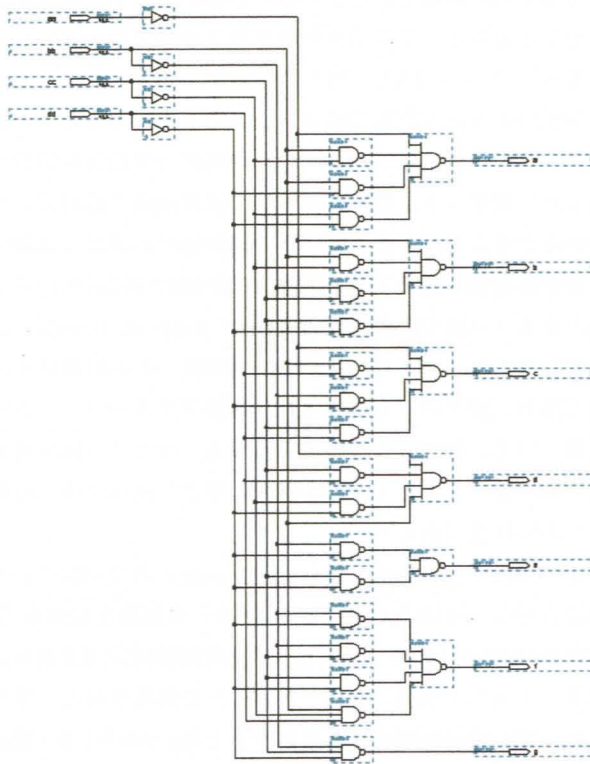


図7 BCD-7 segment Decoder

## BCD to 7-Segment Decoder(74247)の IP

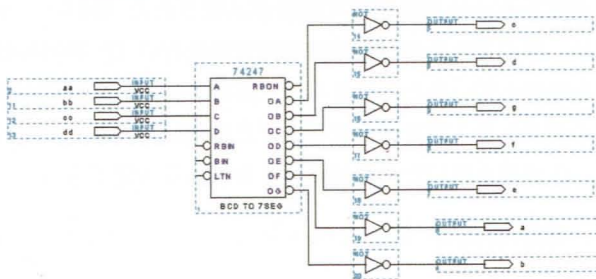


図8 BCD-7 segment Decoder の IP

いる。広島工業大学工学部電気・デジタルシステム工学科、及び電子・光システム工学科では平成10年度より「大規模集積回路関連設計・プロセス工学教育システム」を整備し、関連教育の一部としてハードウェア記述言語（VHDL）を用いた LSI 設計を行っている。この章では、今回開発した LSI 設計教育のための設計支援 IP データベース<sup>10)</sup>について述べる。

### 3.1 設計レベル

C/C++ 言語などのシステムレベル言語や VHDL 等のハードウェア記述言語を用いた LSI 設計は、以下に示す幾つかのレベルに分けて考えることができる。

- (1)アルゴリズムレベル (C/C++)
- (2)アルゴリズムレベル (VHDL 動作記述)
- (3)レジスタ・トランスファレベル (VHDL)

### (4)ゲートレベル

これまでハードウェアの設計は、主に回路図エディタを用いてゲートレベルで回路を記述していた。しかし回路規模の増大と論理合成技術の進歩により、現在ではハードウェア記述言語を用いた、レジスタ・トランスファレベルでの記述が一般的になっている。回路の様々な最適化は論理合成ツールが自動的に行う。また、正確な動作を保証するため、まず、動作記述レベルで回路を記述し、高速なシミュレーションによりその動作を確認した後、改めてレジスタ・トランスファレベルで記述することが望ましいとされている。近年の高位合成技術の進歩により、動作記述レベルからレジスタ・トランスファレベルへ自動的に変換することも可能となっている。

一方、システム全体の設計を行うには、通常、システムレベル言語の1つである C/C++ 言語が用いられ、C/C++ レベルでのシミュレーションにより動作の確認を行っていた。このため、ハードウェア処理とソフトウェア処理を分割した後、ハードウェア設計者は改めて VHDL 等のハードウェア記述言語を用い、目的のハードウェアを記述しなおす必要があった。この作業は、効率がよい方法とは言い難く、様々なバグが入り込む危険性があった。

最近の設計の流れでは、C/C++ 言語で記述されたアルゴリズムレベルから、ハードウェアとソフトウェアの協調設計を考え、直接、VHDL のレジスタ・トランスファレベルに変換を行うことが可能となってきた。

これらのレベルは目的によって使い分けられる。例えば、制御回路を設計するには、初めからハードウェアを意識したレジスタ・トランスファレベルで記述するほうが有利となり、大規模なシステムを設計するには C/C++ 言語を用いたシステムレベルでの記述が不可欠となる。

### 3.2 IP データベース

集積回路設計において既存の回路図やハードウェア記述言語で書かれた回路 (IP) を用いた回路設計を行う際、すでに設計され検証された回路図、または、ハードウェア記述言語で書かれた回路を集めたデータベースが必要となる。

構築したデータベースはアルゴリズムレベル (C/C++), アルゴリズムレベル (VHDL 動作記述), レジスタ・トランスファレベル (VHDL), ゲートレベルで記述された回路のソースファイルまたは回路図, 回路の説明, シミュレーション結果などのリンク, および全文検索機能を持ったホームページから構成されている (図9参照)。また関連する授業での活用を前提として、VHDL, FPGA 等に関する文献やリンクを集めたページ, 両学科で利用している論理合成, シミュレーション, レイアウトツールのマニュアル, および関連する授業のページへのリンク, レポートを

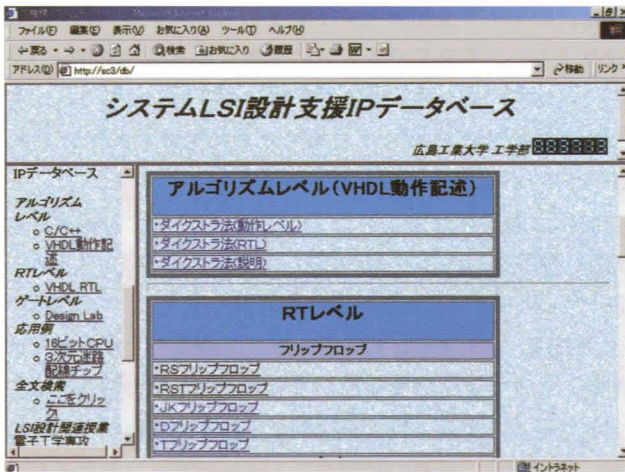


図9 IP データベース

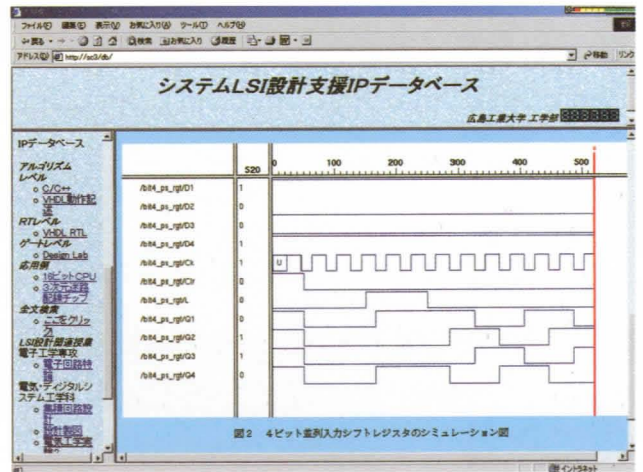


図11 シミュレーション結果

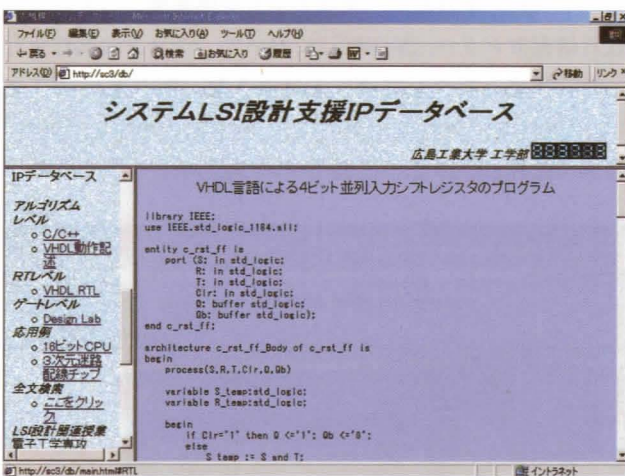


図10 レジスタ・トランスファレベル

ウェブから直接バイナリファイルとしてサーバに送ることができるページも用意している。

### 3.3 各レベルの IP

各レベルの IP について説明する。

#### (1) アルゴリズムレベル (C/C++) の IP

この IP は C/C++ 言語で記述されたアルゴリズムのソースコードとして提供される。アルゴリズムの解説を見ることができ、IP をファイルとしてダウンロードすることができる。現在、C Level 社 System Compiler 等の高位合成ツールを用いて、VHDL のレジスタ・トランスファレベルに変換することができるよう、修正を加えている。

#### (2) アルゴリズムレベル (VHDL 動作記述) の IP

この IP は Synopsys 社 Behavioral Compiler 等の高位合成を前提とし、VHDL 言語の動作記述として提供される。アルゴリズムの説明を見ることができ、IP をダウンロードすることができる。高位合成ツールを用いて、次のレジスタ・トランスファレベルに変換することができる。

#### (3) レジスタ・トランスファレベル (VHDL) の IP

この IP は Synopsys 社 Design Compiler, Altera 社

MAX+PLUS II 等の論理合成を前提とし、デコーダ、カウンタ、レジスタ、各種演算器等が、VHDL 言語のレジスタ・トランスファレベルとして提供される (図10参照)。回路の説明を見ることができ、IP をダウンロードすることができる。更に、レジスタ・トランスファレベルのシミュレーション結果も確認することができるようになっている (図11参照)。論理合成ツールを用いて、次のゲートレベルに変換することができる。

#### (4) ゲートレベルの IP

この IP は MicroSim 社の DesignLab 等の回路図エディタで読み込めるよう作成されている。現在、Altera 社 MAX+PLUS II で読み込める回路図も新たに登録を始めている。また、VHDL のゲートレベルとしても登録されている。デコーダ、フリップフロップ、カウンタ、加算器等、様々な基本的回路の説明がリンクされており、学生は授業で用いた回路の実際の回路図やシミュレーション結果について調べることができる。回路図をファイルとしてダウンロードすることができるので、IP として用いることにより、複雑な回路を効率よく設計することが可能となる。

### 3.4 全文検索機能

このデータベースは種々の回路が様々なレベルで用意されているため、トップページからの階層化されたハイパーリンク以外に全文検索の機能が欠かせない。ここでは SUN ULTRA10 上で WWW サーバとして Apache を、全文検索システムとして NAMAZU をそれぞれ使い、システムを構築した。全文検索機能を用いて CPU というキーワードで検索した結果の例を図12に示す。

### 3.5 ウェブからのレポート提出

このデータベースは、LSI 設計に関連した授業で活用することを前提に、ウェブ上からレポートをバイナリファイルとしてサーバ上に送ることができる機能を備えている。従来用いていたメールによるレポート提出では、テキスト

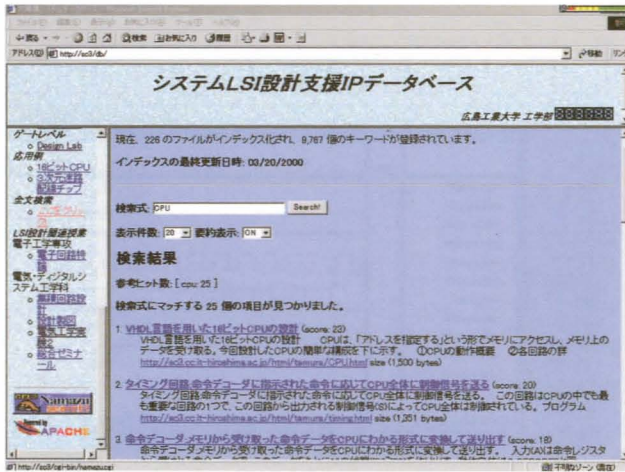


図12 全文検索

形式だけを受け付けるように制限をかけると、図や表をいれることができないという欠点があり、ワード等の文書を添付ファイルとして送らせると、受け取った後の処理の自動化が簡単ではなかった。今回開発したデータベースはウェブベースであったので、perlで記述したCGIを用いて、レポート提出機能を付加し、教育用データベースシステムとして統合した(図13参照)。

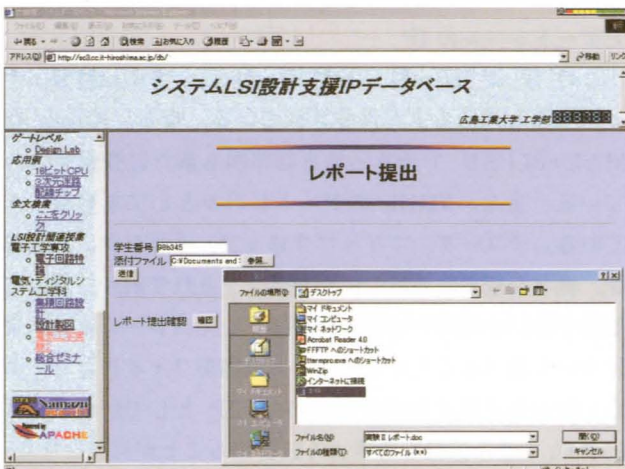


図13 レポート提出

### 3.3 LSI 設計関連教育への応用

電気・デジタルシステム工学科では総合ゼミナール(1年次前期必修)、電子計算機工学(3年次前期選択)、電気工学実験Ⅱ(3年次通年必修)、電気設計製図(4年次後期選択)で、LSI設計に関連した授業を行っている。

まず、総合ゼミナールでは、トップダウン方式のLSI設計の流れを、具体的な例を見せながら学んでもらう。はじめに全加算器について、その機能を説明し、VHDL言語を用いて記述した例を見せる。次に論理合成ツールを用いて回路を合成し、回路図を確認させる。回路を最適化した後、edif形式のネットリストに落とし、スタンダードセ

ル方式のレイアウトツールによってマスクパターンを自動設計するところを見せる。更に実際に製造されたチップ<sup>11)</sup>を拡大鏡でのぞかせ、微細な配線等を確認してもらう。必要な資料は、後でレポートを書くときにも参考となるよう、IPデータベース上にまとめている。

次に、電子計算機工学では、CPUを構成する基本的な回路、例えばALU、制御回路などの動作を学んでいるが、IPデータベースには教育用に単純化した2ビットCPU<sup>12)</sup>のVHDLコードやシミュレーション結果、合成された回路図、スタンダードセルのレイアウト図などの情報が登録されている。またこれらを構成する基本的な回路についても、それぞれ、回路の説明やシミュレーション結果を検索し、調べることができる。昨年度、新たに教育用として16ビットCPUを設計し、東京大学大規模集積システム設計教育研究センター(VDEC)において、チップの試作を行った。試作したチップはモトローラ製、CMOS、1.2ミクロンで、レイアウト方式はスタンダードセルを用いている。図14に設計した16ビットCPUのマスクパターンを示す。

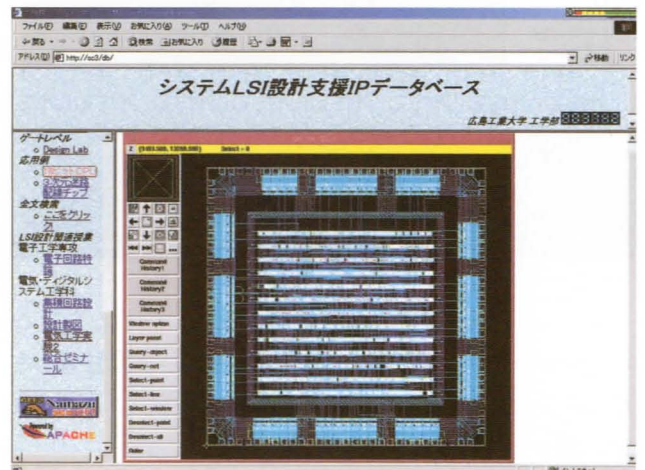


図14 16ビットCPU

電気工学実験Ⅱの「VHDL言語を用いたFPGA設計」というテーマでは、今回構築したLSI設計支援データベースを使って各ツールの使い方を調べることができる。また、VHDL言語、レジスタ・トランスフェレブルのソフトコアとしてIP化され、データベースに登録されているカウンタ回路とデコーダ回路をダウンロードし、書き換え、組み合わせることにより、自分の学生番号をLEDに順次表示させるデジタル回路を設計させている。レポートの提出もIPデータベース上のウェブページから行わせている。

また、4年次後期の電気設計製図では、コンポーネント化されたゲートレベルの回路図を組み合わせることにより、より複雑な回路の設計とシミュレーションが可能となっている。

#### 4. む す び

本稿では、広島工業大学における IP を用いた LSI 設計教育について報告した。今後、更にアンケートを実施して、VLSI 設計に興味を持ったかどうか、設計の概要が理解できたかどうか、それぞれの授業のやり方が適切であったかどうか等を検証する必要がある。またデータベースについては、データ数を現在より増やし、より使いやすい形に更新していく予定である。

#### 謝 辞

本教育研究の一部は、日本私立学校振興・共済事業団「特色のある教育研究の推進」、およびアルテラ社ユニバーシティプログラムの支援により行われたものである。またチップ試作は東京大学大規模集積システム設計教育研究センターを通し日本モトローラ㈱、大日本印刷㈱、および京セラ㈱の協力で行われたものである。

#### 参 考 文 献

- 1) 桜井貴康, “システム LSI-アプリケーションと技術-”, サイエンスフォーラム, p. 14.
- 2) [http://www.jpo-miti.go.jp/saikin/991210\\_lsi.htm](http://www.jpo-miti.go.jp/saikin/991210_lsi.htm)
- 3) 若林一敏, “C 言語からの VLSI 高位合成技術” STARC シンポジウム2000 (東京, 2000) 167.
- 4) International Technology Roadmap for Semiconductor 1999 edition, p. 38.
- 5) 鳳紘一郎, 平成8年度大規模集積システム設計教育研究センター年報.
- 6) 川畑敬志, 田中 武, “学部課程におけるマイクロエレクトロニクス実験”, 平成3年度電気・情報関連学会中国支部第42回連合大会講演予稿集, p. 342.
- 7) 田中 武, 川畑敬志, “広島工業大学における電子デバイス教育”, 1992年秋季応用物理学会講演会, 17a-LL-4.
- 8) 田中 武, 大村道郎, “広島工業大学におけるVLSI設計・プロセス工学教育”, 広島工業大学紀要, 34 (2000) 7.
- 9) 大村道郎, 田中 武, 川畑敬志, “広島工業大学における集積回路関連設計・プロセス工学教育II”, 第47回応用物理学関係連合講演会, 28a-C-3 (2000).
- 10) 大村道郎, 田中 武, “LSI 設計教育のための IP データベース”, 平成12年度電気・情報関連学会中国支部第51回連合大会予稿集, p. 564 (2000).
- 11) 大村道郎, 高田 勇, 田中 武, “8ビット全加算器の試作”, 平成11年度東京大学大規模集積システム設計教育研究センター年報, p. 75 (2000).
- 12) 大村道郎, 加藤圭太, 田中 武, “2ビット CPU の試作”, 平成11年度東京大学大規模集積システム設計教育研究センター年報, p. 87 (2000).